**Лабораторная работа №2**

**Разработка операционной части простейшего цифрового вычислительного устройства**

**1 Машинные методы сложения двоичных чисел**

Так как основным элементом любого арифметико-логического устройства (АЛУ) является сумматор, то все арифметические операции выполняться через операцию сложения. Для выполнения операции вычитания через операцию сложения используются обратные и дополнительные коды. Знак «**+»** кодируется нулем, а знак «**-»** единицей.

Для положительного числа прямой, обратный и дополнительный коды совпадают.

**Хпр** = 5(10) = 0.0101 = **Хобр**=0.0101 = **Хдоп** = 0.0101

Для отрицательного двоичного числа обратный код получается инвертированием всех его разрядов с лева направо до знака, знак не инвертируется.

Хпр = -5(10) = 1.0101; **Хобр** = 1.1010

Дополнительный код получается путем прибавления к обратному коду единицы.

Хпр = -5(10) = 1.0101; **Хобр** = 1.1010

+ 1

**Хдоп = 1.1011**

На рисунке 2 приведены примеры сложения чисел в различных кодах. Из рисунка видно, что при возникновении переполнения (переноса) единица из знакового разряда в случае обратного кода добавляется к полученной сумме, а в случае дополнительного кода отбрасывается.

Если результат сложения в обратном и дополнительном коде получился отрицательным, то для получения прямого кода от суммы надо еще раз взять обратный или дополнительный код соответственно.

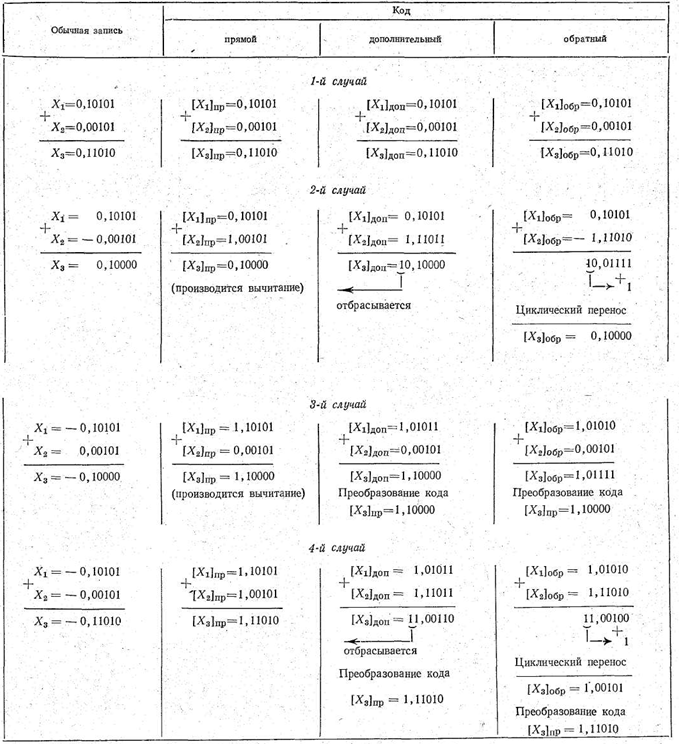


Рисунок 1 – Примеры сложения двоичных чисел

На рисунке 2 приведен пример реализации структурной схемы операционной части устройства сложения чисел в дополнительном коде. Для упрощения аппаратной реализации схемы примем разрядность чисел 4 бита в формате 3+1, три бита под число 1 под знак. Максимальная сумма складываемых чисел не больше 7. Будем считать, что одно число D1 всегда только положительное, а второе D2 может быть как отрицательным, так и положительным.

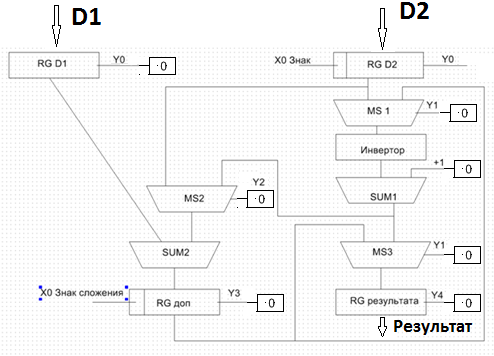


Рисунок 2 - Структурная операционной части

где: RG D1, RGD2 - входные регистры для хранения входных данных;

MS1, MS2, MS3 - цифровые мультиплексоры 8 на 4;

Инвертор - для получения обратного кода;

SUM1, SUM2 - сумматоры;

RGдоп - регистр для хранения промежуточной суммы в дополнительном коде;

RG результата - регистр для хранения результата сложения.

**Работа устройства**.

Для управления блоками в «ручном режиме» на них должны подаваться управляющие сигналы (0, 1, или перепад из 0 в 1)

Данные D1 и D2 по перепаду сигнала У0 из 0 в 1 записываются в входные регистры( см. схему "Регистр" в папке лабораторной работы). Если оба числа положительные, знак Х0 равен 0 и D2 проходит через открытые по умолчанию мультиплексоры MS1, MS2(см. схему "Мультиплексор" в папке лабораторной работы).Результат сложения c выхода SUM1 записывается в RG доп.по перепаду 0/1 сигнала Y3.

Если результат сложения положительный, то значение суммы через нормально открытый MS3 перепадом 0/1 сигнала Y4 записывается в RG результата.

Если D2 отрицательно (Х0=1), то D2 проходит через нормально открытый MS1, далее инвертируется, на сумматоре SUM2 к нему прибавляется единица, и дополнительный код D2, через открытый сигналом Y2 мультиплексор MS2 поступает на сумматор и результат сложения перепадом 0/1 сигнала Y3 записывается в промежуточный регистр RGдоп

Если результат сложения в RGдоп положительный (Х1=0), результат сложения записывается в RG результата перепадом сигнала Y4.

Если результат сложения отрицательный (Х1=1), то для получения прямого кода результат надо повторно перевести в дополнительный код. Для этого результат по сигналу Y1 через мультиплексор MS1 поступает на инвертор, после к нему добавляется единица и результат сложения по сигналу Y4 пройдя мультиплексор MS3 по сигналу Y5 записывается в RG результата.

Пример построения принципиальной схемы приведен на рисунке 3.

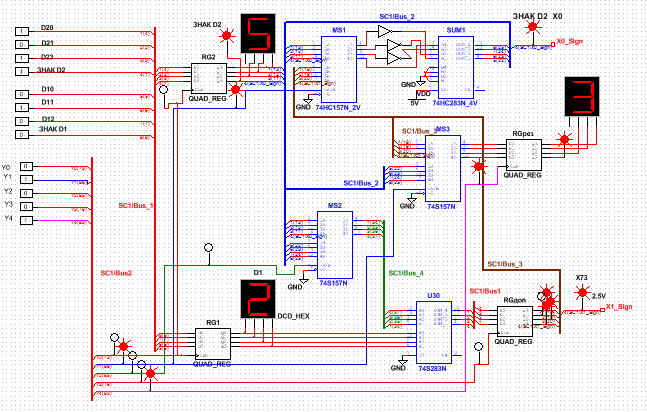


Рисунок 3 - Принципиальная схема операционной части сложения чисел в дополнительном коде в Multisim

Для построения схемы надо ознакомиться со схемами включения основных элементов. Схемы приведены в папках «Использование микросхем Multisim» «Использование микросхем Proteus» лабораторной работы.

Для устранения загромождения чертежа необходимо использовать элемент групировки проводников "Шина" (Вставить\Шина). С правой стороны в шину подключаюься входные сигналы с левой выходные. Все сигналы в шине имеют собственный идентификатор, который для удобства может задавать ползователь.

Как видно в операционную часть с переключателей D11-D13 D21-D23 поступают два числа D1, D2 и их знаки. В операционную часть также поступают сигналы управления узлами операционной части Y0 – Y4. Выходными сигналами операционной части являются переменные определяющие знаки X0, X1 и значения разрядов результирущей суммы SUM1 - SUM2.

Для контроля входных данных и результата удобно использовать HEX индикаторы.

Сумматор SUM1 служит для добавления единицы к обратному коду для получения дополнительного кода. Для этого на самый младший вход подается 1, а на остальные входы сигнал 0. Все непонятные места удобно проверять с помощью логического пробника - светодиода.

На рисунке 4 приведен пример реализации схемы в Proteus/



Рисунок 4 - Принципиальная схема операционной части сложения чисел в дополнительном коде в Proteus

Схема –алгоритма операции сложения приведена на рисунке 4а

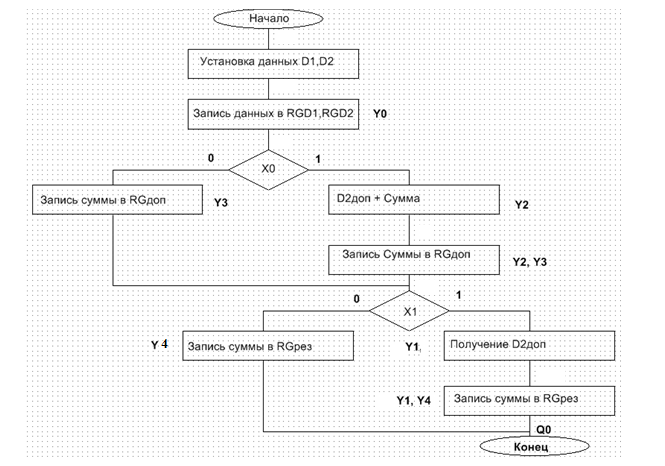


Рисунок 4а Схема-алгоритма операции сложения

## 2 Машинные методы умножения чисел в прямых кодах

Операция умножения состоит из ряда последовательных сложений. Сложением управляют разряды множителя: если в очередном разряде множителя содержится единица, то к сумме добавляется множимое. При этом, в зависимости от метода умножения, выполняется сдвиг либо множимого, либо частичной суммы. Наряду с этим умножение можно начинать как с младших, так и со старших разрядов множителя. Рассмотрим правила умножения в прямых кодах без учета знака.

**2.1 Умножение с младших разрядов множителя со сдвигом суммы частичных произведений вправо**

На рисунке 5 приведен пример умножения чисел начина с младшего разряда множителя со сдвигом промежуточной суммы в лево.

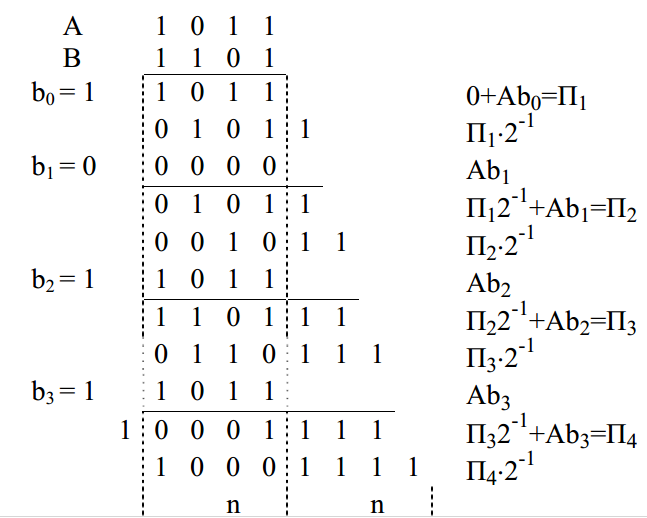
.

Рисунок 5 Умножение с младших разрядов с сдвигом суммы вправо

Структурная схема операционной части для этого способа умножения приведена на рисунке 6



Рисунок 6 Структурная схема умножения начиная с младших разрядов Мт и сдвигом суммы вправо

На рисунке 7 приведена принципиальная схема операционной части умножения с младших разрядов и сдвигом суммы вправо, а также временная диаграмма последовательности управляющих сигналов.



Рисунок 7 Принципиальная схема умножения начиная с младших разрядов Мт и сдвигом суммы вправо

В начальном состоянии значение счетчика сдвигов равно 0.По перепаду 0/1 сигнала Y0 множитель и множимое записываются в входные регистры, где будут храниться на время выполнения операции, так как сумматор комбинационное устройство и не имеет собственной памяти. По коду, поступающему с счетчика мультиплексор пропускает соответствующий бит множителя на свой выход.

Происходит анализ текущего бита множителя. Если он равен 1, то сигналами Y1, Y2, результат сложения сумматором битов множимого с содержимым накапливающего регистра сумматора. После того сигналы сбрасываются в 0. Дальше каждым перепадом 0/1 сигнала Y2 происходит сдвиг частичной суммы (или множимого) в накапливающем регистре (в регистре множимого) в право ( или в лево в зависимости от способа умножения) .

Если бит множителя равен 0, сразу происходит сдвиг частичной суммы (или множимого) в право ( или в лево в зависимости от способа умножения). Каждый очередной сдвиг приводит к увеличению содержимого счетчика на единицу, что приводит к появлению очередного разряда множителя на выходе мультиплексора.

Цифровой компаратор сравнивает текущее значение счетчика со значением количества сдвигов, задаваемых переключателями. После анализа последнего бита на его выходе появляется единица, что соответствует окончанию операции умножения.

По сигналу Y3 результат помещается в регистр результата.

Схема -алгоритма операции умножения приведена на рис 7а

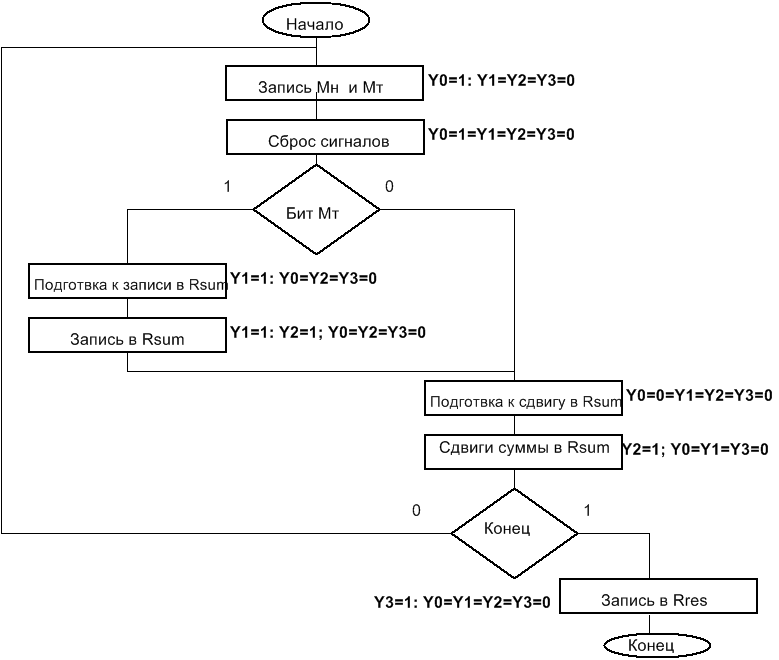


Рисунок 7а Схема –алгоритма умножения с младших разрядов множителя со сдвигом суммы вправо

**2.2 Умножение с младших разрядов множителя со сдвигом множимого влево**

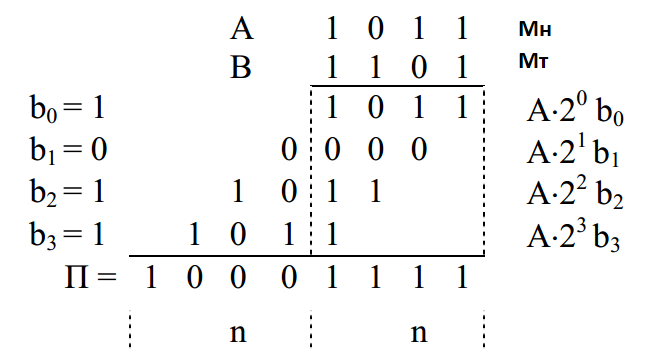


Рисунок 8 Умножение с младших разрядов множителя со сдвигом множимого влево



Рисунок 8 Структурная схема умножения с младших разрядов множителя со сдвигом множимого влево



Рисунок 9 Принципиальная схема умножения с младших разрядов множителя со сдвигом множимого влево

**2.3 Умножение с старших разрядов множителя со сдвигом суммы влево**

Умножение аналогично умножению с младших разрядов, только анализ множителя начинается с правых разрядов и сумма сдвигается в лево .

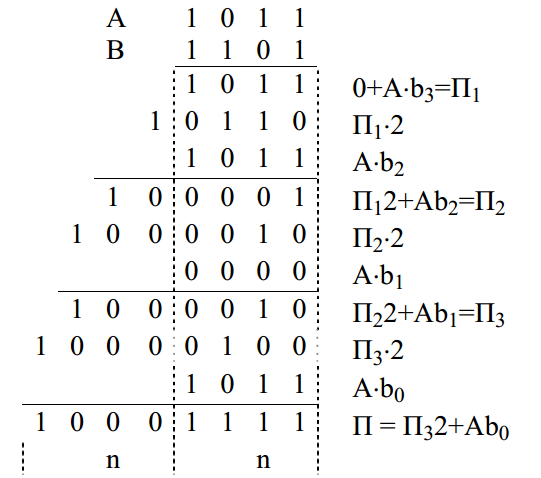


Рисунок 10 Умножение с старших разрядов со сдвигом суммы влево

****

Рисунок 11 Структурная схема умножения с старших разрядов со сдвигом суммы влево



Рисунок 12 Принципиальная схема умножения с старших разрядов со сдвигом суммы влево

**ВАЖНО. Следует отметить, что в данном методе последний сдвиг не производиться.**

**2.4 Умножение с старших разрядов множителя со сдвигом множимого вправо**

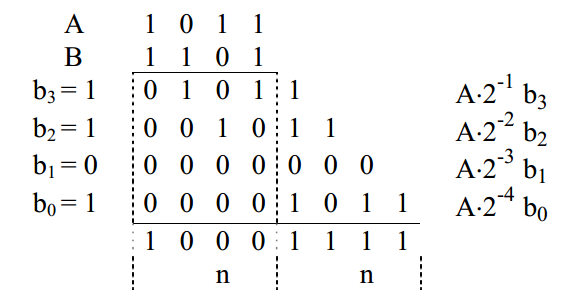


Рисунок 13 Умножение с старших разрядов множителя со сдвигом множимого вправо



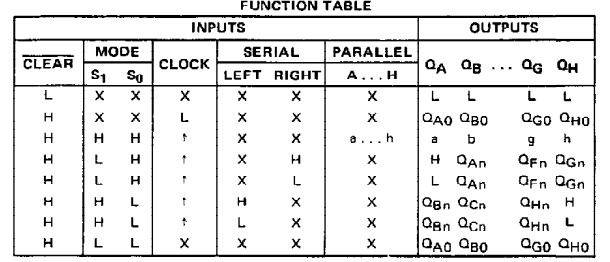
Рисунок 14 Структурная схема умножения с старших разрядов со сдвигом множимого вправо



Рисунок 15 Принципиальная схема умножения со старших со сдвигом множимого в право

В качестве основного регистра сдвига используется 8-битный универсальный последовательно-параллельный регистр 74198. Схема его работы приведена в таблице.

Режим работы задается с помощью управляющих бит S1 и S0





Режимы работы универсального регистра 74198

Задание к лабораторной работе.

Отчет должен содержать:

1 Структурную схему операционной части;

2 Принципиальную схему операционной части;

3 Граф - схему алгоритма

4

Варианты заданий:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| № варианта | Разрядность  данных | Знак D1 | Знак D2 | Знак результата | Сложениедоп.код | Сложение  обратный код | Тип предполагаемого  автомата |
| 1 | 3+1знак=4 | + | -/+ | -/+ |  | + | Мура |
| 2 | 3+1знак=4 | + | -/+ | -/+ |  | + | Мили |
| 3 | 3+1знак=4 | + | -/+ | -/+ |  | + | М П |
| 4 | 3+1знак=4 | + | -/+ | -/+ | + |  | Мура |
| 5 | 3+1знак=4 | + | -/+ | -/+ | + |  | Мили |
| 6 | 3+1знак=4 | + | -/+ | -/+ | + |  | М П |
| 7 | 4 | Умножение с мл.разрядов со сдвигом суммы вправо | | | | | Мили |
| 8 | 4 | Умножение с мл.разрядов со сдвигом суммы вправо | | | | | МП |
| 9 | 4 | Умножение с мл.разрядов со сдвигом суммы вправо | | | | | Мура |
| 10 | 4 | Умножение с ст. разрядов со сдвигом суммы влево | | | | | МП |
| 11 | 4 | Умножение с ст. разрядов со сдвигом суммы влево | | | | | Мили |
| 12 | 4 | Умножение с ст. разрядов со сдвигом суммы влево | | | | | Мура |
| 13 | 4 | Умножение с мл. разрядов со сдвигом множимого влево | | | | | Мура |
| 14 | 4 | Умножение с мл. разрядов со сдвигом множимого влево | | | | | МП |
| 15 | 4 | Умножение с мл. разрядов со сдвигом множимого влево | | | | | Мили |

Контрольные вопросы:

1. Правила выполнения операций в двоичном коде.
2. Временные диаграммы и последовательность управляющих сигналов.
3. Схема-алгоритма своего метода.

Дополнительные вопросы

1.Назначение и принцип работы АЦП и ЦАП

2.Теорема Котельникова –Найквиста.